

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-299427  
 (43)Date of publication of application : 24.10.2000

(51)Int.Cl.

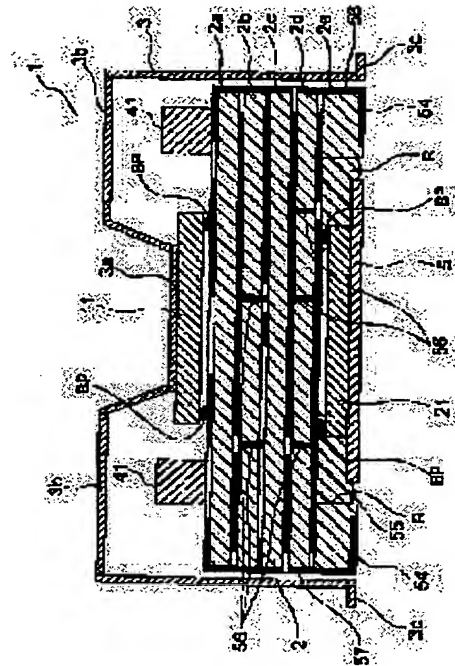
H01L 25/00  
 H01L 25/04  
 H01L 25/18

(21)Application number : 11-105461  
 (22)Date of filing : 13.04.1999

(71)Applicant : SONY CORP  
 (72)Inventor : SUHARA AKIRA

**(54) HIGH-FREQUENCY INTEGRATED CIRCUIT DEVICE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To reduce the size of a high-frequency integrated circuit and increase the degree of integration of the circuit, by effectively utilizing the area of a multilayered substrate by mounting semiconductor chips and chip parts on both surfaces of the substrate.  
**SOLUTION:** Semiconductor chips 11 and 21 are flip-chip mounted on both surfaces of the multilayered substrate 2 of a high-frequency integrated circuit 1 and chip parts, a heat radiation cover 3, and a heat sink 5 are provided on one surface of the substrate 2. In addition, bumps BP are respectively formed on the rear surfaces of the chips 11 and 21 and the chips 11 and 21 are joined to the substrate 2 by positioning the chips 11 and 21 on the substrate 2, in a state where the surface electrodes of the dies of the chips 11 and 21 are directly faced oppositely to the electrodes formed on the surface of the substrate 2 through the bumps BP and applying heat and pressures to the chips 11 and 21. The chip parts are composed of passive elements, such as inductance elements, capacitance elements, resistance elements, etc., and constitute a prescribed circuit together with a circuit wiring layer formed on the surface or inside of the substrate 2. Therefore, the size of the high-frequency integrated circuit 1 can be reduced and the degree of integration of the circuit 1 can be increased.

**LEGAL STATUS**

[Date of request for examination] 02.12.2005  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

**BEST AVAILABLE COPY**

(12) 公開特許公報 (A)

特開2000-299427

(43)公開日 平成12年10月24日(2000.10.24)

テーマコード (参考)

B

25/04

**Z**

25/18

審査請求 未請求 請求項の数21 O L (全11頁)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 發明者 栖原 童

東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

(74) 代理人 100094053

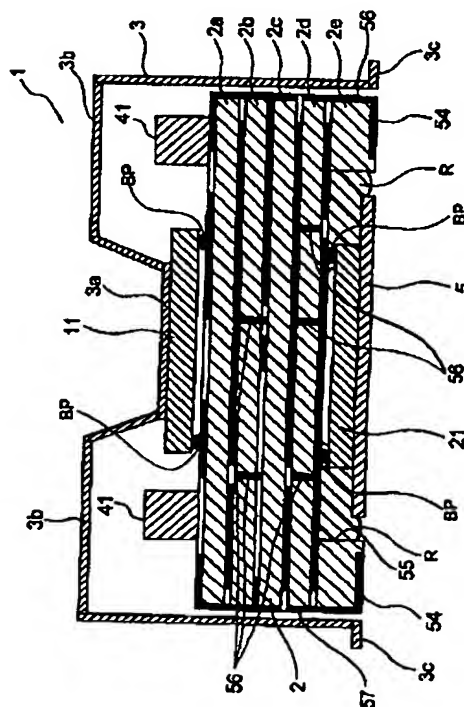
升理士 佐藤 隆久

(54) 【発明の名称】 高周波集積回路装置

(57) 【要約】

【課題】小型化、高集積化され、回路間の電氣的干渉が抑制され、放熱特性の良い高周波集積回路装置を提供する。

【解決手段】複数の誘電体層 5 a～5 e が積層された多層基板 2 と、多層基板 2 の両面に実装された、能動素子を有する半導体チップ 1 1、2 1 と、多層基板 2 の層間および表面に形成された回路配線層 5 1、5 2、5 3 と、多層基板 2 の表面の少なくとも一方に実装された受動素子からなるチップ部品 4 1 とを有する。



## 【特許請求の範囲】

【請求項1】複数の誘電体層が積層された多層基板と、前記多層基板の両面に実装された、能動素子を有する半導体チップと、

前記多層基板の層間および表面に形成された回路配線層と、

前記多層基板の表面の少なくとも一方に実装された受動素子からなるチップ部品とを有する高周波集積回路装置。

【請求項2】前記多層基板の電子機器への装着面側の表面層には、隣接する内層に通じる開口部が形成されており、

前記半導体チップは、前記開口部内に收容され、かつ前記隣接する内層上に実装されている請求項1に記載の高周波集積回路装置。

【請求項3】前記開口部が形成された表層の表面には、電子機器への装着のための電極が形成されている請求項2に記載の高周波集積回路装置。

【請求項4】前記開口部が形成された表層の厚さは、前記半導体チップまたはチップ部品の高さに応じて調整されている請求項2に記載の高周波集積回路装置。

【請求項5】前記多層基板の層間に接地層が形成されている請求項1に記載の高周波集積回路装置。

【請求項6】前記回路配線層は、インピーダンス整合回路およびバイアス回路の少なくとも一部を構成する請求項1に記載の高周波集積回路装置。

【請求項7】前記チップ部品は、前記回路配線層とともに、前記インピーダンス整合回路およびバイアス回路を構成する請求項6に記載の高周波集積回路装置。

【請求項8】前記バイアス回路が前記多層基板の層間に形成されている請求項6に記載の高周波集積回路装置。

【請求項9】前記多層基板の周囲を囲む被覆部と、一方に半導体チップの表面に直接接触する接触部とを具備する放熱板を有する請求項1に記載の高周波集積回路装置。

【請求項10】前記放熱板は、前記多層基板の電子機器への非装着面側に実装された半導体チップの表面に接触している請求項9に記載の高周波集積回路装置。

【請求項11】前記放熱板は、電磁シールドとして機能する請求項9に記載の高周波集積回路装置。

【請求項12】前記多層基板の電子機器への装着面側に実装された半導体チップの表面に直接接触し、かつ、前記開口部内に收容されている放熱板を有する請求項2に記載の高周波集積回路装置。

【請求項13】前記半導体チップは、フリップチップボンディングによって前記多層基板に電気的に接合されている請求項1に記載の高周波集積回路装置。

【請求項14】前記半導体チップは、ワイヤボンディングによって前記多層基板に電気的に接続されている請求項1に記載の高周波集積回路装置。

【請求項15】前記各半導体チップのうち、一方面に実装された半導体チップは、フリップチップボンディングによって前記多層基板に電気的に接合され、他方面に実装された半導体チップは、ワイヤボンディングによって前記多層基板に電気的に接続されている請求項1に記載の高周波集積回路装置。

【請求項16】前記多層基板内には、前記半導体チップの実装位置に空洞が形成されている請求項1に記載の高周波集積回路装置。

【請求項17】積層された第1～第4の誘電体層と、前記第4の誘電体層に積層され当該第4の誘電体層の表面に通ずる開口部が形成された第5の誘電体層と、前記第1および第2の誘電体層間と前記第3および第4の誘電体層間とに形成された導電材料からなる接地層と、

前記第2および第3の誘電体層間に形成された導電性材料からなる回路配線層と、

前記第1および第4の誘電体層の表面に形成された導電性材料からなる回路配線層とを有する多層基板と、

前記第1および第4の表面に実装された能動素子を有する半導体チップと、

前記第1および第4の少なくとも一方に実装された受動素子が形成されたチップ部品とを有する高周波集積回路装置。

【請求項18】前記第2および第3の誘電体層間に形成された回路配線層は、バイアス回路を構成しており、前記第1および第4の誘電体層の表面に形成された導電性材料からなる回路配線層と前記第1および第4の少なくとも一方に実装された受動素子とは、インピーダンス整合回路を構成している請求項17に記載の高周波集積回路装置。

【請求項19】前記第5の誘電体層の表面には、電子機器への装着のための電極が形成されている請求項17に記載の高周波集積回路装置。

【請求項20】前記多層基板の側面および前記第1の誘電体層側を覆い、かつ第1の誘電体層表面に実装された半導体チップの表面に直接接触する放熱板を有する請求項17に記載の高周波集積回路装置。

【請求項21】前記多層基板の第5の誘電体層の開口部内に收容され、当該開口部内の半導体チップの表面に直接接合された放熱板を有する請求項17に記載の高周波集積回路装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、たとえば、移動体通信等の各種通信機器の高周波帯域の信号の処理に用いられる高周波集積回路装置に関する。

【0002】

【従来の技術】近年、携帯電話、自動車電話に代表される移動体通信システムの進展には目覚ましいものがあ

る。たとえば、日本国内では、800MHz帯および1.5GHz帯のデジタルセルラー(PDC)や、1.9GHz帯の信号伝送を行うパーソナルハンディホンシステム(PHS)がサービスを行っている。日本国外においても、GSM(Global System Mobile)を代表とする複数のシステムが既にサービスを展開している。また、異なる通信システムをひとつの端末で利用可能な、例えば、デュアルバンド(CDMA(Code Division Multiple Access)方式で1900MHz帯の信号伝送+AMPS(Advanced Mobile Phone System)方式で800MHz帯の信号伝送)やデュアルモード(CDMA方式およびAMPS方式で800MHz帯の信号伝送)などのサービスが活発になっている。こうした発展の要因には、インフラの整備、サービスの充実とともに、携帯端末の小型、軽量化が挙げられる。当然のことながら、ICチップ自体にも小型、軽量化が要求され、小型モールドパッケージやチップ外形と同程度の寸法の基板にチップを実装するCSP(Chip Size/Scale Package)が注目を浴びている。

【0003】高周波ICでは、IC外部の外付け部品でインピーダンス整合回路やバイアス回路を実現する場合、実装する基板や周辺部品の実装状況により、IC特性が変動する場合がある。カスタマーごとに異なるセット基板上でICの特性を十分に引き出すには、周辺部品の素子値の最適化や、基板の再設計が必要になり、多大な工数がかかっている。そのため、異なるセット基板上でもIC性能が保証されるように、整合回路やバイアス回路などの回路要素を内蔵した状態で小型化を実現した実装形態が望まれている。さらに、ICの高機能化や多機能化も期待されており、半導体チップ上でさらなる集積化が進められている。

【0004】しかしながら、多機能化を実現する際に、たとえば、半導体材料がGaAsからなる半導体チップとSiからなる半導体チップのように、同一プロセスでは製造できない場合や、それぞれの機能で最適なプロセス条件が異なり(最適なしきい値が異なり)プロセスが複雑になるような場合には、一つの半導体チップでの集積化は難しく、複数の半導体チップで実現するマルチチップ化が不可欠となる。高周波ICのマルチチップ化の例としては、スイッチ機能をGaAsチップで実現し、ロジック機能をSiチップで実現した多機能スイッチや、パワーアンプおよびスイッチ機能とを有するチップと低雑音アンプおよびミキサー機能とを有するチップの二つのチップを用いた集積化ICなどがある。

【0005】

【発明が解決しようとする課題】たとえば、図13に示す高周波IC101は、ダイパッド102上に複数の半導体チップ103および104を搭載し、各リード106と各半導体チップ103および104の電極とを金属細線105で接続し、これらを封止樹脂107で封止固

定したモールドパッケージ型の半導体装置である。また、図14に示す高周波IC201は、ダイパッド202上に複数の半導体チップ203および204を搭載し、ダイパッド202と半導体チップ203および204の各電極とを金属細線205で接続し、これらを封止樹脂207で封止固定し、ダイパッド202の裏面にバンプ206が形成されたBGA(Ball Grid Array)型の半導体装置である。しかしながら、図13および図14に示す高周波IC101、201では、各半導体チップを2次的に配置せざるを得ないため、小型化には限界があり、バイアス回路や整合回路の内蔵が難しい。また、2つの半導体チップを近接して配置しなければならないため、お互いの電氣的な干渉を考慮する必要がある。

【0006】一方、メモリーにおいては、メモリー同士(例えばフラッシュメモリーとスタティックメモリー)の集積化や機能の異なるIC(メモリーとロジック)の集積化が非常に活発である。たとえば、図15に示すように、2種類の半導体チップを303および304をリードフレーム上のダイパッド302の上下面に搭載し、金属細線305および306でワイヤボンディングし、これらとリード部307とを封止樹脂308で封止固定した半導体装置301では、ある程度の小型化は可能だが、整合回路やバイアス回路の内蔵は困難である。また、たとえば、図16に示すように、2種類の半導体チップ403および404をダイパッド402上に積層し、それぞれ金属細線405、406で接続し、封止樹脂407で封止固定したチップ積層型の半導体装置401方式では、2つの半導体チップ403および404をワイヤボンディングする際のスペース確保と金属細線405、406のワイヤ長の制約から実装可能なチップサイズに制限が加わり、また、整合回路やバイアス回路の内蔵も困難である。また、たとえば、図17に示すように、2枚のインターポーザ502および503にインターバンプ507および509によって2つの半導体チップ506および508をそれぞれ実装し、2枚のインターポーザ502および503をスタックバンプ504によって接続したフリップチップ実装型CSPのスタック方式の半導体装置501においても、小型化の実現は可能だが、整合回路やバイアス回路の内蔵は考慮されていない。また、たとえば、図18に示すように、2つの半導体装置602および603のパッケージ自体を積層したパッケージ積層方式の半導体装置601においても、整合回路やバイアス回路の内蔵は困難であり、最終的なパッケージ厚や実装外形は大きくなってしまう。

【0007】本発明は、上述の従来の問題に鑑みてなされたものであって、小型化、高集積化され、回路間の電氣的干渉が抑制され、放熱特性の良い高周波集積回路装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、複数の誘電体層が積層された多層基板と、前記多層基板の両面に実装された、能動素子を有する半導体チップと、前記多層基板の層間および表面に形成された回路配線層と、前記多層基板の表面の少なくとも一方に実装された受動素子からなるチップ部品とを有する。

【0009】前記多層基板の電子機器への装着面側の表層には、隣接する内層に通じる開口部が形成されており、前記半導体チップは、前記開口部内に收容され、かつ前記隣接する層上に実装されている。

【0010】前記開口部が形成された表層の表面には、電子機器への装着のための電極が形成されている。

【0011】前記開口部が形成された表層の厚さは、前記半導体チップまたは前記チップ部品の高さに応じて調整されている。

【0012】前記多層基板の層間に接地層が形成されている。

【0013】前記回路配線層は、インピーダンス整合回路およびバイアス回路の少なくとも一部を構成する。

【0014】前記チップ部品は、前記回路配線層とともに、前記インピーダンス整合回路およびバイアス回路を構成する。

【0015】前記バイアス回路が前記多層基板の層間に形成されている。

【0016】前記多層基板の周囲を囲む被覆部と、一方に半導体チップの表面に直接接触する接触部とを具備する放熱板を有する。

【0017】前記放熱板は、電磁シールドとして機能する。

【0018】前記放熱板は、前記多層基板の電子機器への非装着面側に実装された半導体チップの表面に接触している。

【0019】前記多層基板の電子機器への装着面側に実装された半導体チップの表面に直接接触し、かつ、前記開口部内に收容されている放熱板を有する。

【0020】前記半導体チップは、フリップチップボンディングによって前記多層基板に電気的に接合されている。

【0021】前記半導体チップは、ワイヤボンディングによって前記多層基板に電気的に接続されている。

【0022】前記各半導体チップのうち、一方面に実装された半導体チップは、フリップチップボンディングによって前記多層基板に電気的に接合され、他方面に実装された半導体チップは、ワイヤボンディングによって前記多層基板に電気的に接続されている。

【0023】前記多層基板内には、前記半導体チップの実装位置に空洞が形成されている。

【0024】また、本発明は、積層された第1～第4の誘電体層と、前記第4の誘電体層に積層され当該第4の誘電体層の表面に通ずる開口部が形成された第5の誘電

体層と、前記第1および第2の誘電体層間と前記第3および第4の誘電体層間とに形成された導電材料からなる接地層と、前記第2および第3の誘電体層間に形成された導電性材料からなる回路配線層と、前記第1および第4の誘電体層の表面に形成された導電性材料からなる回路配線層とを有する多層基板と、前記第1および第4の表面に実装された能動素子を有する半導体チップと、前記第1および第4の少なくとも一方に実装された受動素子が形成されたチップ部品とを有する。

【0025】前記第2および第3の誘電体層間に形成された回路配線層は、バイアス回路を構成しており、前記第1および第4の誘電体層の表面に形成された導電性材料からなる回路配線層と前記第1および第4の少なくとも一方に実装された受動素子とは、インピーダンス整合回路を構成している。

【0026】前記第5の誘電体層の表面には、電子機器への装着のための電極が形成されている。

【0027】前記多層基板の側面および前記第1の誘電体層側を覆い、かつ第1の誘電体層表面に実装された半導体チップの表面に直接接触する放熱板を有する。

【0028】前記多層基板の第5の誘電体層の開口部内に收容され、当該開口部内の半導体チップの表面に直接接合された放熱板を有する。

【0029】本発明では、半導体チップが多層基板の両面に半導体チップが実装され、多層基板の少なくとも一方面にチップ部品が実装され、かつ、多層基板の内層および表面に回路配線層が形成されているため、複数の半導体チップおよび高周波集積回路に必要な各種の回路の集積化を多層基板の表面および内層で構成でき、小型化、高集積化が可能となる。

【0030】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。

#### 第1実施形態

図1は、本発明の第1実施形態に係る高周波集積回路装置の構造を示す断面図である。本実施形態に係る高周波集積回路装置は、たとえば、携帯端末の高周波アンテナ（CDMA方式で1900MHz帯の信号送信およびAMPS方式で800MHz帯の信号送信を行うデュアルバンド送信用増幅器）集積回路に適用したものである。

【0031】図1において、高周波集積回路装置1は、多層基板2と、多層基板2の両面にそれぞれ実装された半導体チップ11、21と、多層基板2の一方面に実装されたチップ部品41と、多層基板2に対して設けられた放熱カバー3と、放熱板5とを有している。

【0032】半導体チップ11、21は、たとえば、送信信号の高周波電力増幅を行うための能動素子がそれぞれ形成されており、能動素子とともに、たとえばキャパシタ、抵抗等の受動素子が形成されており、これらの素子によって高周波回路を構成している。能動素子は、た

たとえば、シリコン(Si)を用いたバイポーラトランジスタや、ガリウム砒素(GaAs)を用いた電界効果トランジスタや、MOSFET等である。半導体チップ11、21を形成する材料としては、たとえば、GaAs等の化合物半導体や、Si等の半導体を用いられる。また、半導体チップ11、21は、高周波電力増幅を行うため、熱的に放熱が不可欠である。

【0033】半導体チップ11、21の裏面には、それぞれバンプBPが形成されており、半導体チップ11、21は、多層基板2にフリップチップ方式で実装されている。すなわち、半導体チップ11、12のダイの表面電極と多層基板2の表面に形成された電極とをバンプBPを介して直接対向させて位置決めし、熱および圧力を加えて半導体チップ11、12を多層基板2に接合してある。

【0034】チップ部品41は、たとえば、インダクタ一素子、容量素子、抵抗素子等の受動素子がそれぞれ形成されており、多層基板2の表面または内層に形成された回路配線層とともに、所定の機能の回路を構成している。具体的には、チップ部品41は、たとえば、多層基板2の表面に形成された回路配線層とともに、半導体チップ11、21が行う送信信号の高周波増幅におけるインピーダンス整合回路を構成している。なお、図1では、チップ部品41は多層基板2の一方面にのみ実装されているが、本実施形態では多層基板2の両面に実装されているものとする。

【0035】多層基板2は、5層の第1～第5誘電体層2a～2eの積層構造となっており、多層基板2の各誘電体層2a～2eの形成材料は、たとえば、窒化アルミニウム、アルミナ、窒化シリコン、ガラスセラミック、ガラスエポキシ等の誘電体を用いることができる。また、これらの誘電体材料から、誘電率やコストを考慮して決定される。なお、必要に応じて、これらの材料を組み合わせ使用してもよい。

【0036】図2および図3は、多層基板2の構成を示す断面図である。なお、図2の(a)は、多層基板2の第1誘電体層2aを表面側から見た図であり、(b)は第1誘電体層2aを第2誘電体層2bとの層間側から見た図であり、(c)は第2誘電体層2aを第3誘電体層2cとの層間側から見た図である。図3の(a)は第3誘電体層2cを第4誘電体層2dとの層間側から見た図であり、(b)は第4誘電体層2dを第5誘電体層2eとの層間側から見た図であり、(c)は第5誘電体層2eを表面側から見た図である。

【0037】第1誘電体層2aは最上層であり、図2(a)に示すように、第1誘電体層2aの上面には、たとえば、図示しないストリップライン(導体線路)で構成される回路配線層51が形成されているとともに、半導体チップ11およびチップ部品41が実装されている。回路配線層51は、具体的には、たとえば、チップ

部品41とともに半導体チップ11に対するインピーダンス整合回路を構成している。

【0038】図2(b)に示すように、第1誘電体層2aの下面、すなわち、第1誘電体層2aと第2誘電体層2bとの層間には、たとえば、銅、アルミニウム等の導電性材料からなる接地層G1が形成されている。接地層G1は接地レベルである。

【0039】図2(c)に示すように、第2誘電体層2bの下面には、すなわち、第2誘電体層2bと第3誘電体層2cとの層間には、たとえば、図示しないストリップライン(導体線路)で構成される回路配線層52が導電性材料によって形成されている。回路配線層52は、具体的には、たとえば、半導体チップ11、21に各種電源を供給するバイアス回路を構成している。バイアス回路は、基本波から発生した高調波を減衰させるために、伝送信号の基準波長 $\lambda$ の $\lambda/4$ の長さのストリップラインなどで構成する。なお、 $\lambda/4$ のストリップラインの長さは、たとえば、800MHzの場合には、約30mmとなる。

【0040】図3(a)に示すように、第3誘電体層2cの下面、すなわち、第3誘電体層2cと第4誘電体層2dとの層間には、接地層G2が形成されている。接地層G2は接地レベルである。

【0041】図3(b)に示すように、第4誘電体層2dの下面、すなわち、第4誘電体層2dと第5誘電体層2eとの層間には、たとえば、図示しないストリップラインによって構成される回路配線層53が形成されるとともに、半導体チップ21とチップ部品41とが実装されている。

【0042】第5誘電体層2eは最下層であり、図示しない電子機器の親基板に装着される層である。第5誘電体層2eは、図3(c)に示すように、第4誘電体層2dに実装された半導体チップ21やチップ部品41が挿通しかつ収容する開口部55が設けられている。また、第5誘電体層2eには、電子機器の親基板との接合のための、たとえば、ランド型の電極54が複数形成されている。第5誘電体層2eの厚さは、半導体チップ21の高さ、または、チップ部品41の高さ、あるいはチップ部品41の有無によって、開口部55内に半導体チップ21およびチップ部品41が確実に収容されるように調整されている。

【0043】上記の第1～第5誘電体層2a～2eの層間に形成された回路配線層52および接地層G1、G2と、多層基板2の両面に形成された回路配線層51、53、半導体チップ11、21、各チップ部品41は、図1に示すように、各誘電体層2a～2eに形成されたスルーホール内の配線56および多層基板の周囲に形成された配線57によって互いに電気的に接続されている。配線57は、第5誘電体層2eに形成された電極54に電気的に接続されている。



【0044】放熱カバー3は、多層基板2の第1誘電体層2a側に対して、多層基板2の外周および第1誘電体層2a側を覆うように設けられた被覆部3bと、被覆部3bに一体に形成された半導体チップ11の表面と直接接触する接触部3aとを有している。放熱カバー3の接触部3aは、多層基板2に実装された半導体チップ11の表面と、たとえば、接着剤によって接合されており、多層基板2は放熱カバー3に保持されている。放熱カバー3の材質としては、熱伝導性の良好なもの、例えばアルミニウム等の金属材料が用いられる。放熱カバー3の被覆部3bの端部には、放熱カバー3を電子機器の親基板に取り付けるための取り付け部3cが形成されている。

【0045】多層基板2の下面に実装された半導体チップ22の下面には、放熱板5が取り付けられ、半導体チップ22とともに封止樹脂Rによって樹脂固定されている。放熱板5は、多層基板2の第5誘電体層5eの開口部55内に収容されており、第5誘電体層5eの表面から突出していない。放熱板5は、熱伝導性の良好な上記の放熱カバー3と同様の材料で形成される。

【0046】上記高周波集積回路装置1は、電子機器の親基板に対して、放熱カバー3の取り付け部3cおよび第5誘電体層5eが接合される。電子機器から高周波集積回路装置1に装着されると、たとえば、多層基板2の第2誘電体層2bと第3誘電体層2cとの層間に形成された回路配線層52のバイアス回路を通じて半導体チップ11、21に電源が供給され、半導体チップ11、21は高周波電力増幅を行う。

【0047】多層基板2の両面に実装された半導体チップ11および21とも高周波電力増幅を行うので、半導体チップ11および21の発熱量は大きく、放熱を行う必要がある。多層基板2の上面に実装された半導体チップ11から発生した熱は、接触部3aを通じて放熱カバー3に伝えられる。放熱カバー3の被覆部2bは、広い表面積で空気に触れているため、放熱カバー3に伝えられた熱は空気中に放熱される。さらに、放熱カバー3の取り付け部3cにより親基板に取り付けていると、放熱カバー3の熱は、親基板により放熱される。なお、この放熱カバー3は、半導体チップ11の放熱を行うとともに、多層基板2の表面への塵の侵入防止や、外部との電磁シールドとしても機能する。

【0048】多層基板2の下面に実装された半導体チップ21から発生した熱は、その下面に取り付けられている放熱板5を介して多層基板2が装着される図示しない電子機器の親基板に伝えられ、親基板より放熱される。

【0049】本実施形態に係る高周波集積回路装置1では、多層基板2の両面を使って半導体チップ11、21やチップ部品41の実装を行っており、基板面積を有効に利用でき、3次元的な小型化が可能となる。また、複数の誘電体層2a~2eが積層された多層基板2を用い

ることにより、誘電体層2a~2eの層間に、たとえば、バイアス回路において $\lambda/4$ の長さのストリップライン等の比較的線路長の長い回路を形成することができ、立体的に、整合回路やバイアス回路を組み込むことが可能となる。また、多層基板2の両面には、インダクター素子や容量素子などのチップ部品41も実装され、多層基板2の両面を使って部品実装を行うことで基板面積が有効に利用でき、小型化が可能となる。

【0050】さらに、本実施形態に係る高周波集積回路装置1によれば、誘電体層2a~2eの層間に接地層G1およびG2を形成して、各回路配線層51、52、53の間に位置させているため、各回路配線層51、52、53間の電氣的な干渉を防止することができる。また、放熱カバー3は、放熱のみならず、高周波集積回路装置1内への塵の侵入防止や電磁シールドのためにも必要であるから、元々カバーは必要なものであり、放熱カバー3を取り付けることにより、大型化したり、コストアップになることはない。なお、上述の説明では、チップ部品41は多層基板2の両面上に実装されているものとしたが、一方面のみの実装でも構わない。また、チップ部品41を実装せずに、半導体チップ11、21のみの実装でもよい。

#### 【0051】第2の実施形態

図4~図7は、本発明の第2の実装形態に係る高周波集積回路装置の構造を示す断面図である。なお、第1の実施形態に係る高周波集積回路装置の構成要素と同一の構成要素については同一の符号をもって示している。図4および図5に示す高周波集積回路装置は、基本的には、上述した第1の実施形態に係る高周波集積回路装置と同一の構成であるが、多層基板2の両面に実装される半導体チップ11および21のうち、一方が発熱量が比較的大きく、他方が発熱量が比較的小さい場合に本発明を適用した場合の構成を示している。

【0052】図4に示す高周波集積回路装置61は、多層基板2の第1誘電体層2aの表面に実装された半導体チップ11の発熱が大きく、多層基板2の第5誘電体層2eに実装された半導体チップ21の発熱が小さい場合である。半導体チップ11は、たとえば、送信信号増幅回路を有し、半導体チップ21は、たとえば、多機能スイッチ回路を有している。図4に示すように、発熱が大きい半導体チップ11に対しては、放熱カバー3が設け、発熱量の小さい半導体チップ21には上記の放熱板5は設けず、半導体チップ21は、フリップチップ方式で多層基板2の第4誘電体層2dに実装され、封止樹脂Rによって覆われている。

【0053】図5に示す高周波集積回路装置62は、図4に示した高周波集積回路装置61と同様に、半導体チップ11の発熱が大きく、半導体チップ21の発熱が小さい場合である。図5に示すように、発熱が大きい半導体チップ11に対しては、放熱カバー3が設け、発熱量

の小さい半導体チップ21には上記の放熱板5は設けない。また、半導体チップ21は、表面電極が形成された面を第4誘電体層2dに対して反対向きにして第4誘電体層2dに接合し、半導体チップ21の表面電極と第4誘電体層2d上の電極とを金属細線59でワイヤリングするとともに、第5誘電体層2eの開口部55内を樹脂Rで充填して半導体チップ21および金属細線59を固定する。

【0054】 以上のように、半導体チップ11の発熱が大きく、半導体チップ21の発熱が小さい場合には、図4および図5に示した構成のように、ワイヤ長のばらつきやインダクタンスの影響を避けるべき半導体チップや放熱を必要とする半導体チップはフリップチップ方式で実装し、これらの必要のない半導体チップはワイヤボンディングを用いて実装することで対応可能となる。

【0055】 図6に示す高周波集積回路装置63は、半導体チップ11の発熱が小さく、半導体チップ21の発熱が大きい場合である。この場合には、図6に示すように、半導体チップ11に対して上記の放熱カバー3は設けず、半導体チップ21に対しては放熱板5を設ける。また、半導体チップ11および半導体チップ21は、パンプBPを介して多層基板2の両面にそれぞれフリップチップ方式で実装されている。半導体チップ21および放熱板5は、第5誘電体層2eの開口部55内に樹脂Rによって固定されている。

【0056】 図7に示す高周波集積回路装置64は、図6に示した高周波集積回路装置63と同様に、半導体チップ11の発熱が小さく、半導体チップ21の発熱が大きい場合である。図7に示すように、半導体チップ11は、半導体チップ11の表面電極形成側を第1誘電体層2aに対して反対向きに配置し、この表面電極と第1誘電体層2a上の電極とを金属細線70でワイヤリングするとともに、半導体チップ11および金属細線70を樹脂Rで固定している。半導体チップ21の実装構造は、図6に示した高周波集積回路装置63と同様にしている。

【0057】 以上のように、半導体チップ11の発熱が小さく、半導体チップ21の発熱が大きい場合には、図6および図7に示した構成で対応可能である。

#### 【0058】 第3の実施形態

図8～図11は、本発明の第3の実施形態に係る高周波集積回路装置の構造を示す断面図である。なお、第1の実施形態に係る高周波集積回路装置の構成要素と同一の構成要素については同一の符号をもって示している。図8～図11に示す高周波集積回路装置は、基本的には、上述した第1の実施形態に係る高周波集積回路装置と同一の構成であるが、多層基板2の両面に実装される半導体チップ11および21の発熱量が小さく、特に放熱手段を設けなくてもよい場合である。

【0059】 図8に示す高周波集積回路装置65は、半

導体チップ11および21をフリップチップ方式で多層基板2に実装し、樹脂Rで固定している。図9に示す高周波集積回路装置66は、半導体チップ11が特に発熱量が少ない場合であり、半導体チップ11の表面電極形成側を第1誘電体層2aに対して反対向きに配置し、この表面電極と第1誘電体層2a上の電極とを金属細線72でワイヤリングするとともに、半導体チップ11および金属細線70を樹脂Rで固定している。

【0060】 図10に示す高周波集積回路装置67は、多層基板2の下面に実装される半導体チップ21が特に発熱量が少ない場合であり、半導体チップ21の表面電極形成側を第4誘電体層2dに対して反対向きに配置し、この表面電極と第5誘電体層2d上の電極とを金属細線73でワイヤリングするとともに、半導体チップ21および金属細線73を樹脂Rで固定している。図11に示す高周波集積回路装置68は、多層基板2の両面に実装される半導体チップ11、12が共に特に発熱量が少ない場合であり、半導体チップ11、12が図9および図10に示した方法で実装されている。

【0061】 以上のように、半導体チップ11、12の発熱量が小さい場合には、図8～図11に示した構成で対応可能となる。

#### 【0062】 第4の実施形態

図12は、本発明の第4の実施形態に係る高周波集積回路装置の構造を示す断面図である。なお、第1の実施形態に係る高周波集積回路装置の構成要素と同一の構成要素については同一の符号をもって示している。図12に示す高周波集積回路装置69は、多層基板2の下面に実装される半導体チップ21の処理する周波数がより高い場合である。半導体チップ21が、さらに高い周波数の処理を行う場合には、たとえば、図12に示すように、多層基板2の第4誘電体層2dの表面に実装した半導体チップ21の実装位置に対応する多層基板2の第4誘電体層2dおよび第3誘電体層2cに空洞であるキャビティーHを形成する。このような構成とすることにより、キャビティーHの空間は、誘電体よりも誘電率が低く、低インダクタンスとなり、半導体チップ21の高周波特性への影響を抑制することができる。なお、本実施形態では、多層基板2の下面に実装される半導体チップ21に対してキャビティーHを形成しているが、同様に、多層基板2の上面に実装される半導体チップ11に対してもキャビティーHを形成することが可能である。

【0063】 本発明は、上述した実施形態では、多層基板2の各表面に実装された半導体チップはそれぞれ単数であったが、本発明はこれに限定されるわけではなく、多層基板2の両面に実装される半導体チップが複数であってもよい。

#### 【0064】

【発明の効果】 本発明によれば、多層基板の両面を使って半導体チップおよびチップ部品の実装を行っているた



装置の構造のさらに他の例を示す断面図である。

【図 8】本発明の第 3 の実施形態に係る高周波集積回路装置の構造の一例を示す断面図である。

【図 9】本発明の第 3 の実施形態に係る高周波集積回路装置の構造の他の例を示す断面図である。

【図 10】本発明の第 3 の実施形態に係る高周波集積回路装置の構造のさらに他の例を示す断面図である。

10 【図 11】本発明の第 3 の実施形態に係る高周波集積回路装置の構造のさらに他の例を示す断面図である。

【図 12】本発明の第 4 の実施形態に係る高周波集積回路装置の構造を示す断面図である。

【図 1 3】従来の高周波集積回路装置の構造の一例を示す断面図である。

【図 14】従来の高周波集積回路装置の構造の他の例を示す断面図である。

【図15】従来の高周波集積回路装置の構造のさらに他の例を示す断面図である。

【図16】従来の高周波集積回路装置の構造のさらに他の例を示す断面図である。

【図 17】従来の高周波集積回路装置の構造のさらに他の例を示す断面図である。

【図 18】従来の高周波集積回路装置の構造のさらに他の例を示す断面図である。

【符号の説明】

1…高周波集積回路装置、2…多層基板、2a～2e…  
第1～第5誘電体層、3…放熱力カバー、5…放熱板、1  
1、21…半導体チップ、41…チップ部品、51、5  
2、53…回路配線層、G1、G2…接地層。

【図１】本発明の第１の実施形態に係る高周波集積回路 20 装置の構造を示す断面図である。

【図2】図1の高周波集積回路装置の多層基板の構成を示す図である。

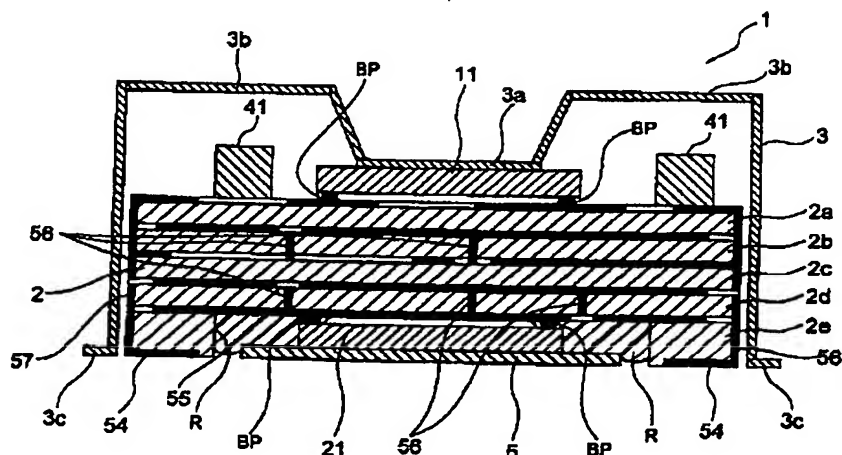
【図3】図1の高周波集積回路装置の多層基板の構成を示す図である。

【図４】本発明の第２の実施形態に係る高周波集積回路装置の構造の一例を示す断面図である。

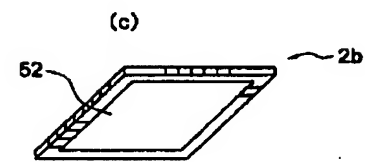
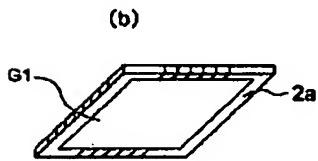
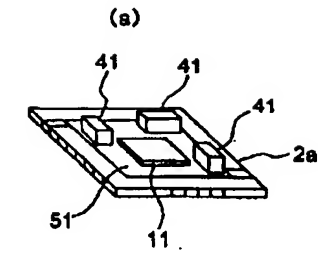
【図5】本発明の第2の実施形態に係る高周波集積回路装置の構造の他の例を示す断面図である。

【図 6】 本発明の第 2 の実施形態に係る高周波集積回路 30

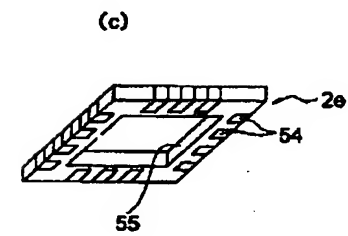
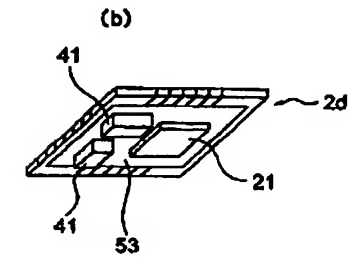
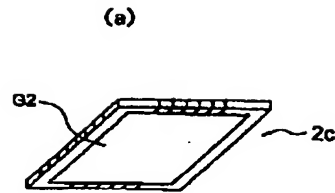
【図 1】



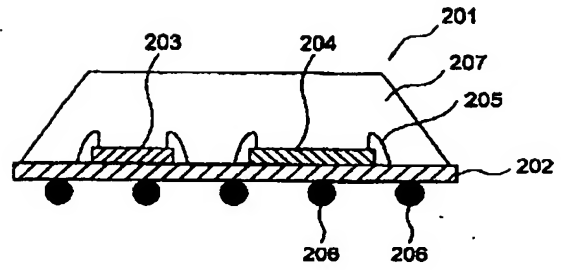
【図 2】



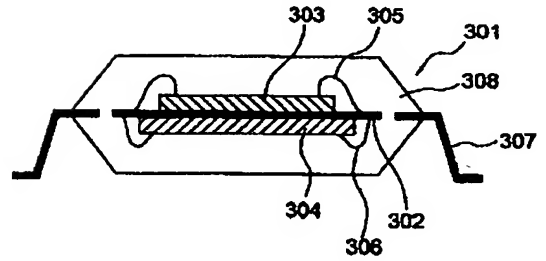
【図 3】



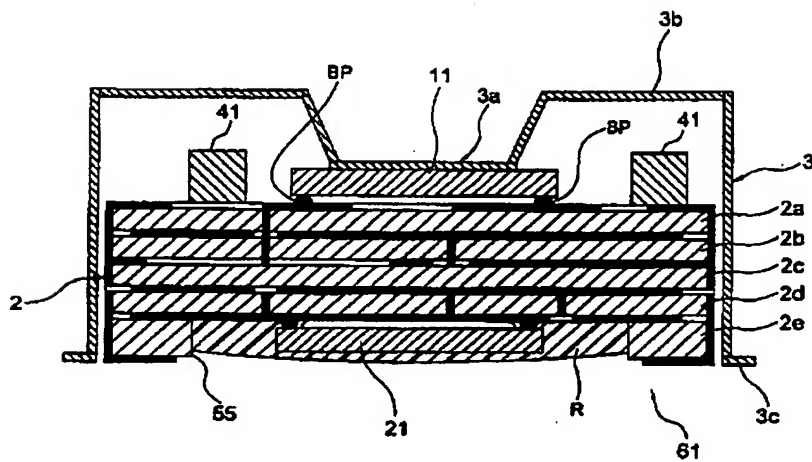
【図 14】



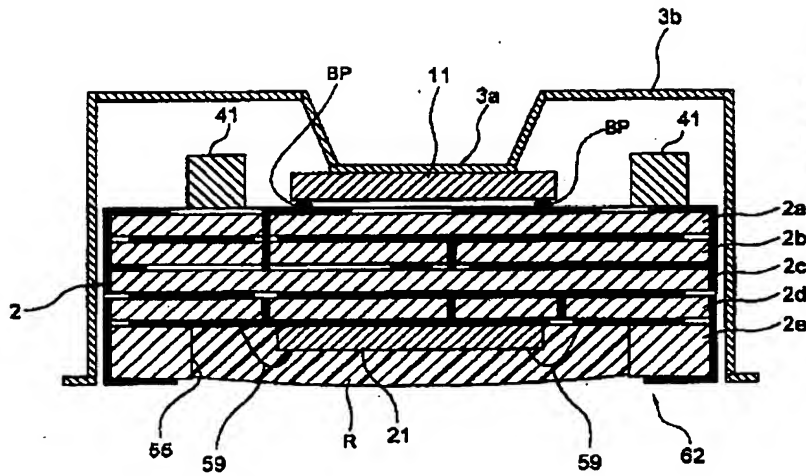
【図 15】



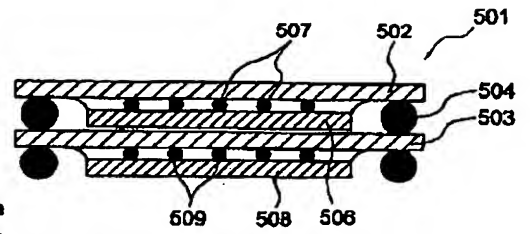
【図 4】



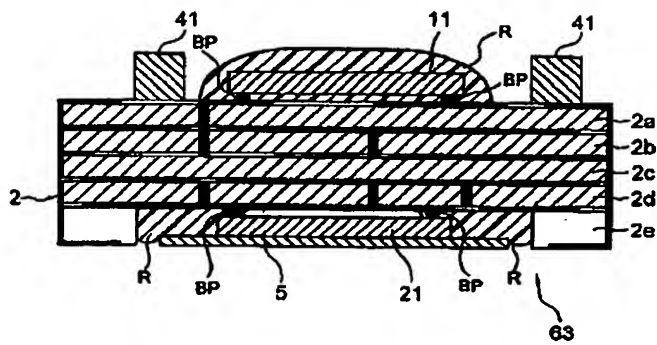
【図 5】



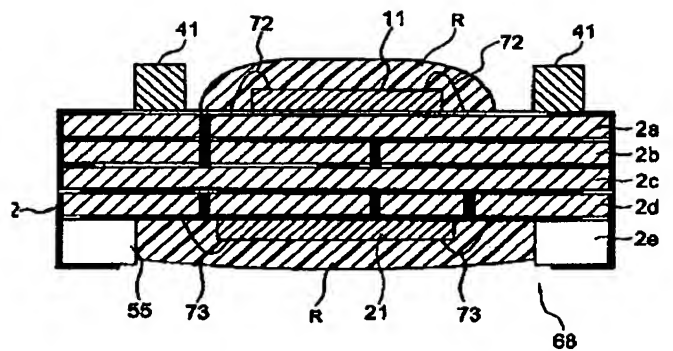
【図 17】



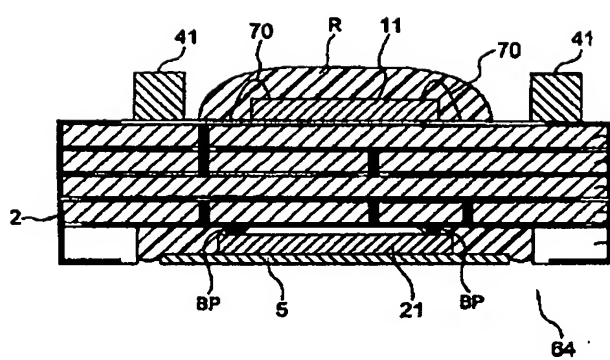
【図 6】



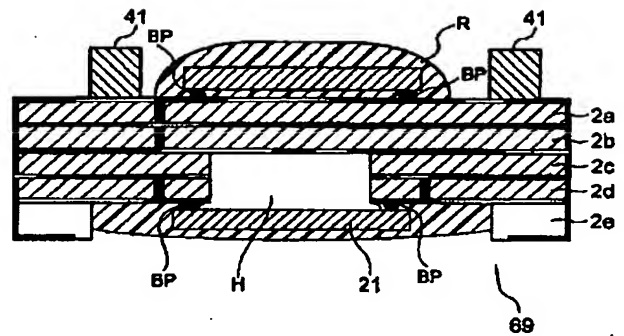
【図 11】



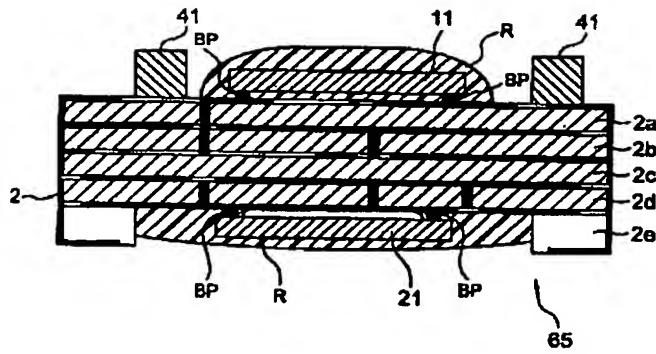
【図 7】



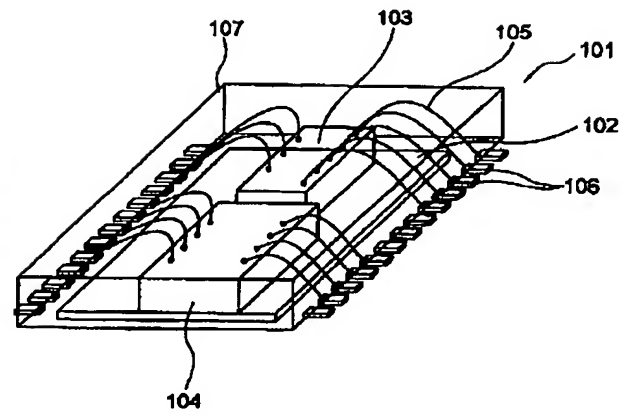
【図 12】



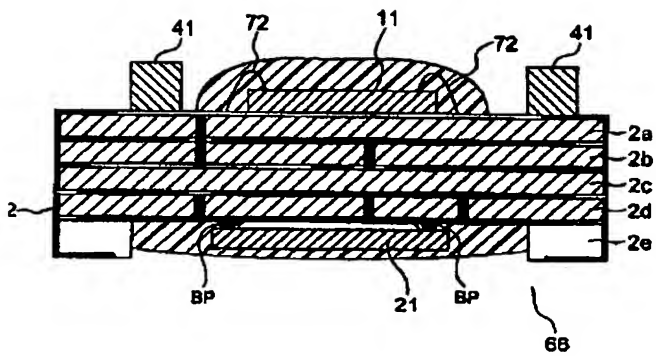
【図 8】



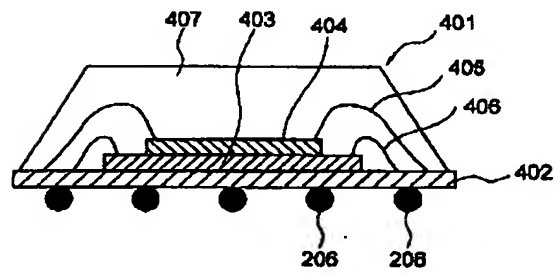
【図 13】



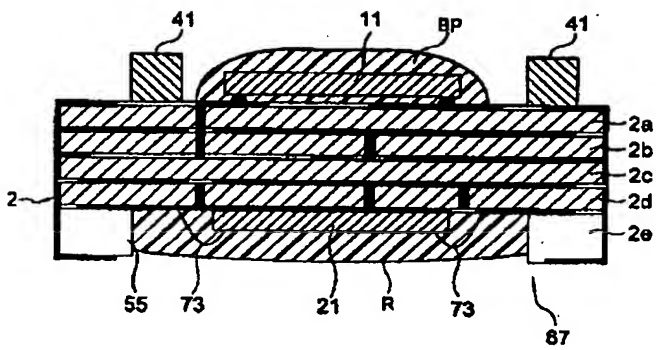
【図 9】



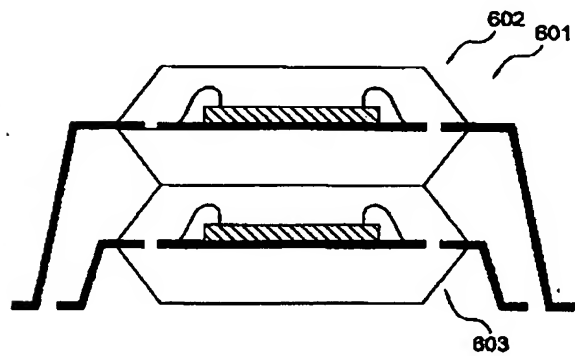
【図 16】



【図 10】



【図 18】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ ~~FADED~~ TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**